

(19) Japan Patent Office (JP)

(11) Publication Number: Japanese Patent Laid-Open No. H01-101519

(43) Date of Publication: April 19, 1989

(12) Laid-Open Disclosure Public Patent Bulletin (A)

5 (51) Int. Cl. <sup>4</sup> Identification Number JPO File Number  
G 02 F 1/133 327 7370-2H

Request of Examination: not made

The Number of Inventions: 1 (7 pages in total)

(54) Title of the Invention: ACTIVE MATRIX SUBSTRATE

10 (21) Application Number: S62-258854

(22) Date of Filing: October 14, 1987

(72) Inventor: Hideto ISHIGURO

c/o Seiko Epson Corporation

3-3-5, Owa, Suwa-shi, Nagano, Japan

15 (71) Applicant: Seiko Epson Corporation

2-4-1 Nishi-Shinjuku, Shinjuku-ku, Tokyo, Japan

(74) Agent: Patent Attorney Tsutomu MOGAMI (and another)

# Specification

20 1. Title of the Invention

Active Matrix Substrate

2. Scope of Claim

1. An active matrix substrate comprising a thin film transistor, a source wiring, a gate wiring, a pixel electrode, and an insulating film which insulates the source wiring and the gate wiring, characterized in that a portion of the source wiring which is made  
25 of the same material as the gate wiring is formed simultaneously with the gate wiring, and a bridge wiring which is made of the same material as the pixel electrode is formed simultaneously with the pixel electrode so as to make a connection between the portions of the source wiring.

30 2. An active matrix substrate according to Claim 1, wherein a portion of the

gate wiring which is made of the same material as the source wiring is formed simultaneously with the source wiring, and a bridge wiring which is made of the same material as the pixel electrode is formed simultaneously with the pixel electrode so as to make a connection between the portions of the gate wiring.

5 3. Detailed Description of the Invention

[Industrial Field of the Invention]

The present invention relates to an active matrix substrate used in active matrix liquid crystal displays, electrochromic displays, or the like.

[Prior Art]

10 In a conventional active matrix substrate, ITO, polycrystalline silicon containing impurities, or the like, is used as a wiring material, as shown in pp.196-199 of JAPAN DISPLAY '86, for example.

FIG. 3(a) is a top view of the conventional active matrix substrate. FIG. 3(b) is a cross-sectional view taken along the line BB' in FIG. 3(a). Also, the top views of a part of the manufacturing process for the conventional active matrix substrate are shown 15 in FIGS. 4(a)-(d), and the cross-sectional views are shown in FIGS. 4(a')-(d').

FIGS. 4(a) and 4(a') are figures showing a channel region 405, a source region 406, a drain region 407, and a gate insulating film 409 of a thin film transistor formed over a base insulating film 411. FIGS. 4(b) and 4(b') show a formation of a gate electrode and a gate wiring 401. FIGS. 4(c) and 4(c') show a formation of an 20 insulating film 410 which insulates the gate wiring 401 and a source wiring 402 from each other, and a formation of contact holes 408 in a prescribed position to connect the source region 406 of the thin film transistor with the source wiring 401 and to connect the drain region 407 of the thin film transistor with a pixel electrode 404. Further, 25 FIGS. 4(d) and 4(d') show a formation of the source wiring 402 and the pixel electrode 404, which accordingly provides a structure of the conventional active matrix substrate.

As is clear from the above steps, it is necessary for a thin film for a wiring to be formed twice and a photo etching step to be performed twice in a wiring method of the conventional active matrix substrate.

30 [Problem to be Solved by the Invention]

The above described ITO or the like which is the conventional wiring material has a high specific resistance of  $300 \mu\Omega\text{cm}$ , so that, in light of signal delay or the like, the limit in size of the screen in which ITO or the like can be used as a wiring material is approximately 10 cm, and larger screen size than that is impossible to be realized.

5 Therefore, in order to realize a screen size larger than the above described screen size, a wiring made of a wiring material with lower resistance is essential. However, in case of changing the material for wiring without changing the conventional wiring and structure, because of the material differences between the source wiring and pixel electrode, the number of formations of a thin film and the number of performances of  
10 photo etching increase one time each, which makes the manufacturing process very complicated.

The present invention solves the foregoing problems, and it is an object to provide a larger active matrix substrate with high reliability.

[Means for Solving the Problem]

15 An active matrix substrate of the present invention which comprises a thin film transistor, a source wiring, a gate wiring, a pixel electrode, and an insulating film which insulates the source wiring and the gate wiring, is characterized in that it comprises either a portion of the source wiring which is made of the same material as and formed simultaneously with the gate wiring and a bridge wiring which is made of the same  
20 material as and formed simultaneously with the pixel electrode so as to make a connection between the portions of the source wiring, or a portion of the gate wiring which is made of the same material as and formed simultaneously with the source wiring and a bridge wiring which is made of the same material as and formed simultaneously with the pixel electrode so as to make a connection between the portions  
25 of the gate wiring.

[Embodiment]

Hereinafter, the present invention is described in detail based on embodiments.

Embodiment 1

FIG. 1 is a top view of one example of an active matrix substrate of the present  
30 invention. It is characterized in that a crossing portion of a source wiring 102 and a

gate wiring 101 is being bridged by a bridge wiring 103. FIG. 2 shows a cross-sectional view along the line AA' in FIG. 1.

An embodiment of the present invention is further detailed in process sequence with the use of FIGS. 5(a)-(d) being top views and FIGS. 5(a')-(d') being cross-sectional views. First, as shown in FIGS. 5(a) and 5(a'), a clean base insulting film 511 comprising silicon dioxide, silicon nitride, or the like, is formed over an insulating substrate made of glass, quartz, sapphire, or the like. Either a polycrystalline silicon film or an amorphous silicon film at a thickness of approximately 1500Å to 3000Å which contains impurities to be donors or accepters is formed over the base insulting film 511 in a predetermined configuration. Further, over that film, a thin film comprising either polycrystalline silicon or amorphous silicon at a thickness of 100Å to 500Å which does not contain the impurities is formed in a predetermined configuration. The formations of a channel region 505, a source region 506, and a drain region 507 of a thin film transistor are achieved through this process. Over them, an insulating film comprising silicon dioxide, silicon nitride, or the like is formed at a thickness of approximately 500Å to 3000Å, to be a gate insulting film 509.

Next, as shown in FIGS. 5(b) and 5(b'), a thin film at a thickness of approximately 1000Å to 7000Å is formed with the use of low resistance material such as aluminum, molybdenum, tungsten, tantalum, niobium, titanium and silicide thereof, various alloy, or superconducting material, in a predetermined configuration, to be a gate wiring 501 and a source wiring 502. It is noteworthy here that a source wiring is not formed at the crossing portion of the gate wiring and the source wiring. The adoption of this structure enables the gate wiring and most part of the source wiring to be formed simultaneously.

Next, as shown in FIGS. 5(c) and 5(c'), an insulating film 510 made of silicon dioxide, silicon nitride, or the like, which doubles as an insulating film which insulates a source wiring and a gate wiring from each other, and as a passivation film which protects a thin film transistor, is formed at a thickness of approximately 3000Å to 10000Å, and contact holes 508 are formed in a predetermined configuration as shown in the figures.

Next, as shown in FIGS. 5(d) and 5(d'), an ITO film is formed in a predetermined configuration, and a pixel transparent electrode 504 and a bridge wiring 503 which bridges the source wirings at the crossing portion of the gate wiring and the source wiring are obtained. Also, through this process, contact is made between the source wiring 501 and the source region 506, and between the pixel electrode 504 and the drain region 507.

One example of an active matrix in accordance with the present invention is made through the above described process.

#### Embodiment 2

In the previous embodiment, the source wirings are bridged; however, it is also possible to bridge the gate wirings, which is shown in FIGS. 6(a)-(c).

After forming a channel region 605, a source region 606, and a drain region 607 of a thin film transistor, an insulating film is formed, and then a source wiring 602 and most part of a gate wiring 601 are formed with the use of the similar low resistance material as in the previous embodiment. In such case, a gate wiring at a crossing portion of the source wiring and the gate wiring is not formed. An insulating film is formed, and then, after the formation of contact holes 608, a gate wiring 603 is simultaneously formed with a pixel electrode 604 and a wiring 613 which connects the source region 606 of the thin film transistor and the source wiring 602.

#### [Effect of the Invention]

As described above, according to the present invention, lower resistance of a gate wiring and a source wiring can be achieved without increasing the number of steps at all from that of the prior art, and thereby, the following effects are obtained.

a. As a result of achieving a lower resistance gate wiring, the number of pixels can be increased because of the reduction in switching time of the thin film transistor, which allows the screen size to be larger.

b. As a result of achieving a lower resistance source wiring, because the time to write pixels can be reduced, same effect as a. can be obtained.

c. Because it is possible to make the wiring narrower, a parasitic capacitance including a capacitance between the gate wiring and the source wiring can be made

lower. Parasitic capacitance between them is one of the factors dropping the switching speed of the transistor. Thus, if the parasitic capacitance can be made lower by the present invention, the speed of the transistor can be increased, which provides the same effect as a.

5 d. Because it is possible to make the wiring narrower, an aperture ratio of the pixel can be increased, so that brighter image can be obtained.

e. In case the wiring is simply made of a lower resistance material such as metal, an additional step is needed in each of film formation process and photo etching process, thereby reducing reliability and decreasing the yield rate. However, because the  
10 number of steps of the present invention is the same as that of the prior art, these can be avoided.

Therefore, according to the present invention, without incurring reduction in reliability and decrease in the yield rate, an active matrix substrate can have larger size, higher definition, and higher image quality due to higher aperture ratio.

#### 15 4. Brief Description of the Drawings

FIG. 1 is a top view of an embodiment of the present invention. FIG. 2 is a cross-sectional view along the line AA' in FIG. 1. FIG. 3(a) is a top view of one example of a conventional active matrix substrate, and FIG. 3(b) is a cross-sectional view along the line BB'. FIGS. 4(a)-(d) and 4(a')-(d') show a manufacturing process  
20 of the prior art, and FIGS. 4(a)-(d) are top views and FIGS. 4(a')-(d') are cross-sectional views. FIGS. 5(a)-(d) and 5(a')-(d') show a manufacturing process of an embodiment of the present invention, and FIGS. 5(a)-(d) are top views and FIGS. 5(a')-(d') are cross-sectional views. FIGS. 6(a)-(c) are top views showing a manufacturing process of an embodiment.

25 101, 201, 301, 401, 501, and 601: gate wiring  
102, 202, 302, 402, 502, and 602: source wiring  
103, 203, 503, and 603: bridge wiring  
104, 404, 504, and 604: pixel electrode  
105, 405, 505, and 605: channel region  
30 106, 406, 506, and 606: source region

- 107, 407, 507, and 607: drain region
- 108, 408, 508, and 608: contact holes
- 209, 309, 409, and 509: gate insulating film
- 210, 310, 410, and 510: insulating film between source wiring and gate wiring
- 5 211, 311, 411, and 511: base insulating film
- 412, 312, 412, and 512: insulating substrate
- 613: wiring connecting source region and source wiring

Applicant for a Patent: Seiko Epson Corporation

10 Agent: Patent Attorney Tsutomu MOGAMI (and another)

Written Amendment (Formalities)

February 18, 1988

To Commissioner of the Japan Patent Office, Mr. Kunio Ogawa

1. Indication of the Case

5           Showa 62 (1987), Patent Application No. 258854

2. Title of the Invention

ACTIVE MATRIX SUBSTRATE

3. Person in charge of Amendment

Relationship with the Case: Patent Applicant

10           (236) Seiko Epson Corporation

President, Tsuneya NAKAMURA,

2-4-1 Nishi-Shinjuku, Shinjuku-ku, Tokyo, Japan

4. Agent

Patent Attorney, (4664) Tsutomu MOGAMI (and another)

15           Mogami Patent Law Firm, c/o Hattori Seiko Co., Ltd.

2-6-21, Kyobasi, Chuo-ku, Tokyo, 104 Japan

Tel: 563-2111   Ext.: 631-635   Person in charge: Hayashi

5. Date of Order of Amendment

January 26, 1988

20   6. Object of Amendment



Specification (Brief Description of the Drawings)

Drawings (FIGS. 4-5)

7. Contents of Amendment

As per enclosure.

5

Written Amendment

1. Amend from "FIGS. 4" on page 10, line 12 through "are cross-sectional views." in the last line of the specification as follows:

10 "FIGS. 4(a)-(h) show a manufacturing process of the prior art, and FIGS. 4(a),  
(c), (e), and (g) are top views and FIGS. 4(b), (d), (f), and (h) are cross-sectional views.  
FIGS. 5(a)-(h) show a manufacturing process of the Embodiment 1 of the present  
invention, and FIGS. 5(a), (c), (e), and (g) are top views and FIGS. 5(b), (d), and (f) are  
cross-sectional views."

2. FIGS. 4-5 are amended as in another sheet.

15

Patent Attorney Tsutomu MOGAMI (and another)

**Family list**

**3** family member for: **JP1101519**

Derived from 1 application

**1 ACTIVE MATRIX SUBSTRATE**

**Inventor:** ISHIGURO HIDETO

**Applicant:** SEIKO EPSON CORP

**EC:**

**IPC:** G02F1/136; G02F1/133; G02F1/1343 (+8

**Publication info:** JP1101519 A - 1989-04-19

JP2117431C C - 1996-12-06

JP8012354B B - 1996-02-07

---

Data supplied from the *esp@cenet* database - Worldwide

⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平1-101519

⑬ Int.Cl.<sup>4</sup>

G 02 F 1/133

識別記号

3 2 7

庁内整理番号

7370-2H

⑭ 公開 平成1年(1989)4月19日

審査請求 未請求 発明の数 1 (全7頁)

⑮ 発明の名称 アクティブマトリクス基板

⑯ 特 願 昭62-258854

⑰ 出 願 昭62(1987)10月14日

⑱ 発 明 者 石 黒 英 人 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑲ 出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

⑳ 代 理 人 弁理士 最 上 務 外1名

明 細 書

1. 発明の名称

アクティブマトリクス基板

2. 特許請求の範囲

(1) 薄膜トランジスタ、ソース配線、ゲート配線、画素電極、前記ソース配線と前記ゲート配線を絶縁する絶縁膜を具備するアクティブマトリクス基板において、前記ゲート配線と同じ材質で同時に形成された一部のソース配線、前記一部のソース配線を結合させる様に前記画素電極と同じ材質で同時に形成された架橋配線を具備することを特徴とするアクティブマトリクス基板。

(2) 前記ソース配線と同じ材質で同時に形成された一部のゲート配線、前記一部のゲート配線を結合させる様に前記画素電極と同じ材質で同時に形成された架橋配線を具備することを特徴とする特許請求の範囲第1項に記載のアクティブマトリクス基板。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、アクティブマトリクス方式の液晶ディスプレイやエレクトロクロミックディスプレイ等に用いられるアクティブマトリクス基板に関する。

(従来の技術)

従来のアクティブマトリクス基板は、例えば、JAPAN DISPLAY '88の196~199ページに見られる様に、配線材料としてITO、不純物を含む多結晶シリコン等が用いられている。

第3図(a)は、従来のアクティブマトリクス基板の上視図であり、第3図(b)は前記第3図(a)のBB'における断面図である。又、従来のアクティブマトリクス基板の製造工程の一部の上視図を第4図(a)~(d)に、断面図を第4図(a')~(d')に示した。

(a)、(a')は下地絶縁膜411上に薄膜

トランジスタのチャンネル領域405、ソース領域406、ドレイン領域407及びゲート絶縁膜409を形成した図である。(b)、(b')はゲート電極、及びゲート配線401を形成した図であり、(c)、(c')においてゲート配線401とソース配線402を絶縁する絶縁膜410を形成し、さらに薄膜トランジスタのソース領域406とソース配線401、及び該薄膜トランジスタのドレイン領域407と画素電極404を接合するためのコンタクトホール408を所定の位置に形成する。さらに(d)、(d')においてソース配線402と画素電極404を形成することによって、従来のアクティブマトリクス基板が作られる。

以上の工程を見れば明らかな様に、従来のアクティブマトリクス基板の配線方法では、2回の配線用の薄膜の形成と2回のフォトリソエッチング工程が必要である。

(発明が解決しようとする問題点)

前記の、従来の配線材料であるITO等は、そ

の比抵抗が $300\mu\Omega\text{cm}$ と大きく、信号遅延等の観点から、配線材料として用いることができるのは、約 $10\text{cm}$ 程度の画面サイズが限界となり、それ以上の大型化は不可能である。したがって上記以上の画面サイズを実現するためには、より低抵抗の配線材料による配線が不可欠となる。しかし、従来の配線と構造のままで、配線の材料を変えると、ソース配線の材料と画素電極の材料が異なるために、薄膜形成とフォトリソエッチングの回数が1回ずつ増え、製造工程を非常に複雑なものにする。

本発明は、この様な問題点を解決するもので、その目的とするところは、より大型で信頼性の高いアクティブマトリクス基板を提供することにある。

(問題点を解決するための手段)

薄膜トランジスタ、ソース配線、ゲート配線、画素電極、前記ソース配線と前記ゲート配線を絶縁する絶縁膜を具備するアクティブマトリクス基板において、本発明のアクティブマトリクス基板

は、前記ゲート配線と同じ材質で同時に形成された一部のソース配線、前記一部のソース配線を結合させる様に前記画素電極と同じ材質で同時に形成された架橋配線を具備するか、又は前記ソース配線と同じ材質で同時に形成された一部のゲート配線、前記ゲート配線を結合させる様に前記画素電極と同じ材質で同時に形成された架橋配線を具備することを特徴とする。

(実施例)

以下、本発明について、実施例に基づき詳細に説明する。

#### 実施例1

第1図は本発明によるアクティブマトリクス基板の一例の上視図である。103の架橋配線により、ソース配線102とゲート配線101の交差部を架橋しているのが特徴である。第2図に第1図のAA'における断面図を示した。

本発明の、実施例を第5図の、上視図(a)~(d)、断面図(a')~(d')を用いて、工程順に、さらに詳しく説明する。まず、(a)、

(a')の如く、ガラス、石英、サファイア等の絶縁性基板上に、二酸化硅素、窒化硅素等から成る清浄な下地絶縁膜511を形成する。その上に $1500\text{\AA}\sim 3000\text{\AA}$ 程度のドナー、あるいはアクセプタとなる不純物を含む、多結晶シリコン膜、若しくは非晶質シリコン膜を所定の形状に形成する。さらにその上に $100\text{\AA}\sim 500\text{\AA}$ 程度の該不純物を含まない多結晶シリコン、又は非晶質シリコンからなる薄膜を、所定の形状に形成する。この工程により薄膜トランジスタのチャンネル領域505、ソース領域506、ドレイン領域507が形成される。その上に $500\text{\AA}\sim 3000\text{\AA}$ 程度の二酸化硅素、窒化硅素等の絶縁膜を形成し、ゲート絶縁膜509とする。

次に、(b)、(b')に示す様にアルミニウム、モリブデン、タングステン、タンタル、ニオブ、チタンおよびその硅化物、各種合金、超電導物質等の低抵抗材料を用いて $1000\text{\AA}\sim 7000\text{\AA}$ 程度の薄膜を所定の形状に形成し、ゲート配線501およびソース配線502とする。ここで

注目すべきことは、該ゲート配線と該ソース配線の交差部においては、ソース配線が形成されていないことである。この構造を採用することによって、ゲート配線とソース配線の大部分を同時に形成することが可能となる。

次に(c)、(c')に示されるようにソース配線とゲート配線を絶縁する絶縁膜と薄膜トランジスタを保護するパッシベーション膜をかためた二酸化硅素、窒化硅素等からなる絶縁膜510を3000Å～10000Å程度形成し、図に示した様に所定の形状にコンタクトホール508を形成する。

次に(d)、(d')に示される様にITO膜を所定の形状に形成し、画素透明電極504、および該ゲート配線とソース配線の交差部においてソース配線を架橋する503の架橋配線を得る。又、この工程によりソース配線501とソース領域506、画素電極504とドレイン領域507のコンタクトがとられる。

以上の工程を経て、本発明によるアクティブマ

トリクスの一例が製造される。

#### 実施例2

前実施例では、ソース配線を架橋したが、ゲート配線を、架橋することも可能であり、第6図(a)～(c)に示した。

薄膜トランジスタの、チャンネル領域605、ソース領域606、ドレイン領域607を形成した後、絶縁膜を形成し、前実施例と同様な低抵抗材料を用いてソース配線602とゲート配線601の大部分を形成する。この時、該ソース配線とゲート配線の交差部のゲート配線を形成せず、絶縁膜を形成し、コンタクトホール608を形成した後で、この交差部のゲート配線603を画素電極604及び薄膜トランジスタのソース領域606とソース配線602を結ぶ配線613と同時に形成する。

#### (発明の効果)

以上に述べたように本発明によれば、従来より工程数をまったく増やすことなく、ゲート配線、ソース配線の低抵抗化が可能となる。これにより

以下のような効果が得られる。

a. ゲート配線の低抵抗化により、薄膜トランジスタのスイッチング時間を短縮できるため、画素数を増やすことができ、画面の大型化が可能となる。

b. ソース配線の低抵抗化により、画素に対する書き込み時間を短縮できるため、aと同様な効果がある。

c. 配線を細くすることが可能となるために、ゲート配線とソース配線の間の容量等の寄生容量を小さくできる。これらの寄生容量はトランジスタのスイッチング速度を低下させる原因の一つであるため、本発明によって該寄生容量を小さくすることが可能となると、トランジスタの高速化が可能となり、その結果aと同様な効果がある。

d. 配線を細くすることが可能となるために、画素の開口率を大きくすることができ、より明るい画像が得られる。

e. 単純に配線を金属等の、低抵抗材料にすると、膜形成工程、フォトリソング工程が、それ

ぞれ1回増え、信頼性および歩留りの低下を招くが、本発明の工程数は従来の技術の工程数とかわりないため、これを回避することが可能である。

したがって本発明によれば、信頼性および歩留りの低下を招くことなく、アクティブマトリクス基板の大型化および高精細化、高開口率化による高画像品質化が可能となる。

#### 4. 図面の簡単な説明

第1図は、本発明の実施例の上視図である。第2図は、第1図のAA'の断面図である。第3図(a)は従来のアクティブマトリクス基板の一例の上視図、(b)はBB'の断面図である。第4図(a)～(d)、(a')～(d')は従来例の製造工程を示したもので、(a)～(d)は上視図、(a')～(d')は断面図である。第5図(a)～(d)、(a')～(d')は、本発明の実施例の製造工程を示したもので、(a)～(d)は、上視図、(a')～(d')は断面図である。第6図(a)～(c)は実施例の製造工

図を示した上視図である。

101、201、301、401、501、  
601…ゲート配線  
102、202、302、402、502、  
602…ソース配線  
103、203、503、603…架橋配線  
104、404、504、604…両端電極  
105、405、505、605…チャンネル  
領域  
106、406、506、606…ソース領  
域  
107、407、507、607…ドレイン  
領域  
108、408、508、608…コンタ  
クトホール  
209、309、409、509…ゲート絶  
縁膜  
210、310、410、510…ソース配  
線、ゲート配線間絶縁膜  
211、311、411、511…下地絶縁

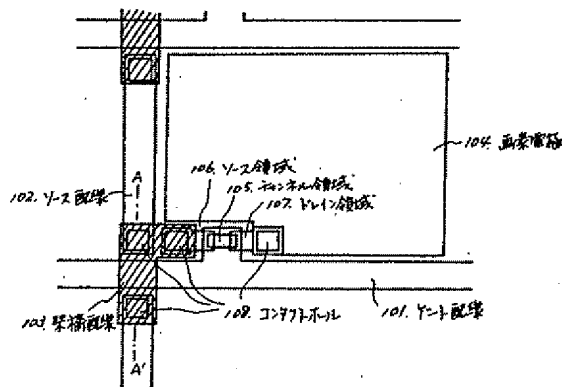
膜

412、312、412、512…絶縁性基  
板

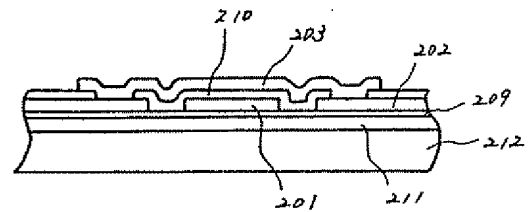
613…ソース領域、ソース配線間配線  
以上

出願人 セイコーエプソン株式会社

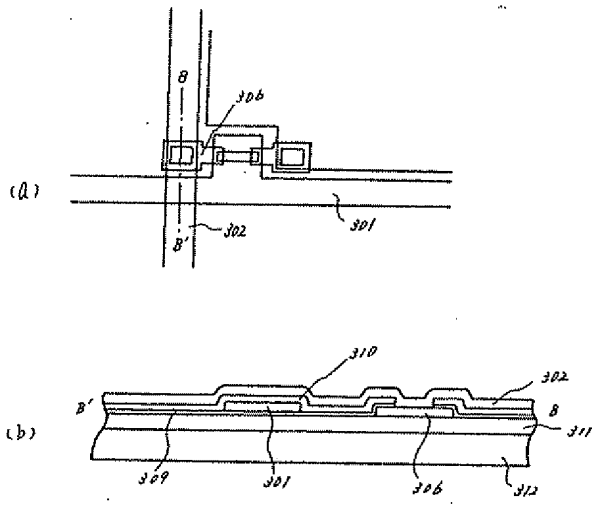
代理人 弁理士 森上 務 他1名



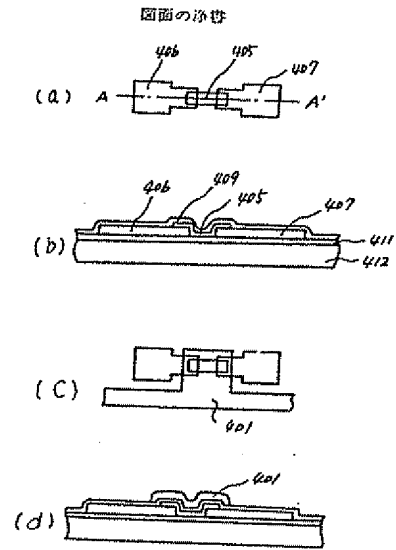
第1図



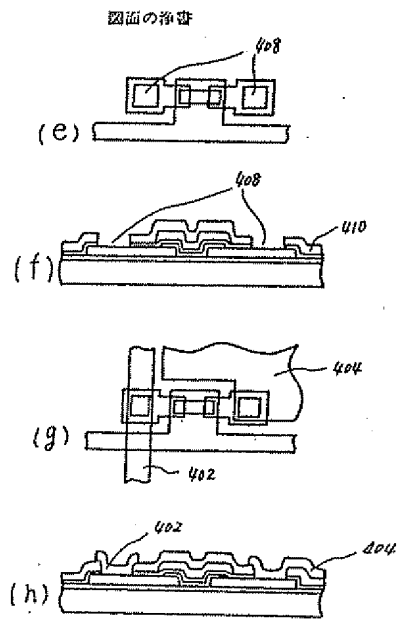
第2図



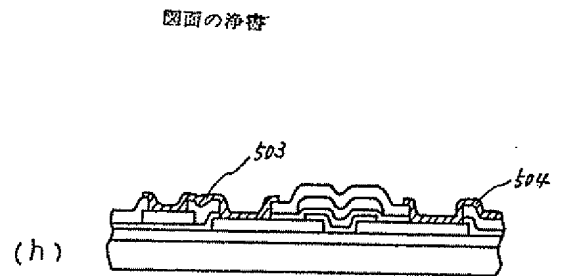
第3図



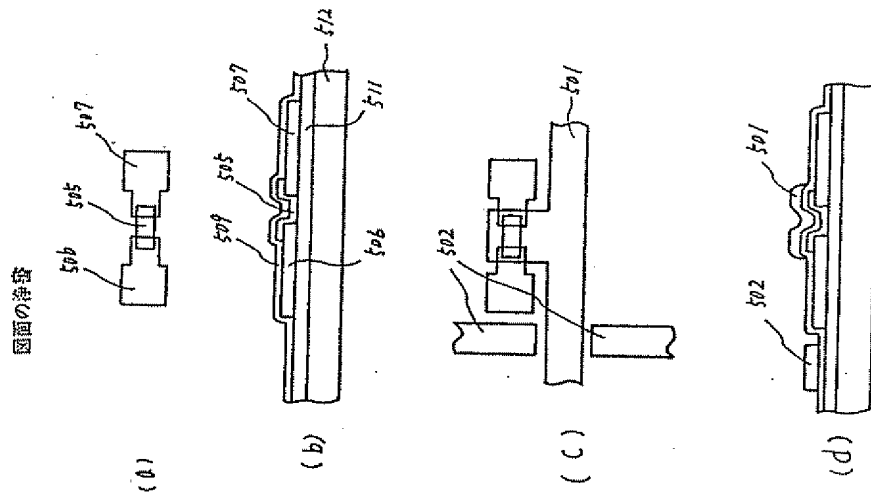
第4図



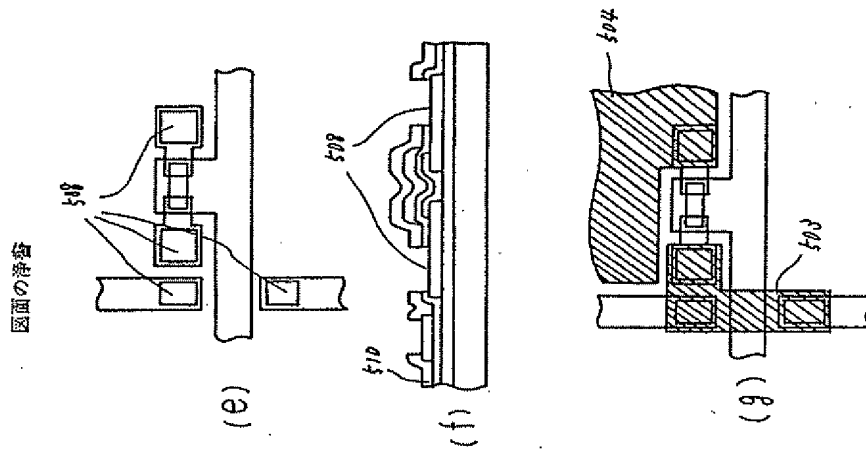
第4図



第5図

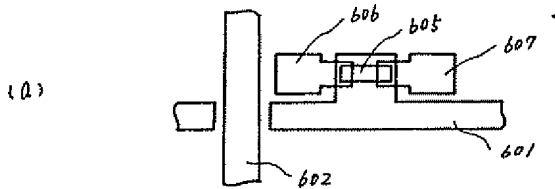


第5図

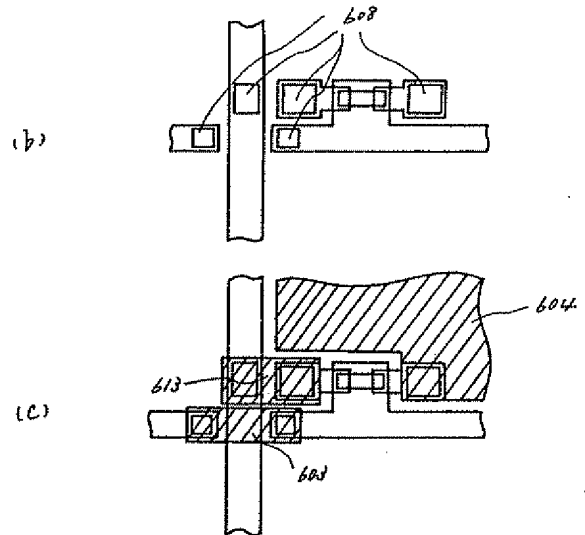


第5図





第6図



第6図

手続補正書 (方式) 第 6 号

昭和63年2月18日

特許庁長官 小川 邦夫 殿

1. 事件の表示

昭和62年 特 許 願 第258854号

2. 発明の名称

アクティブマトリクス基板

3. 補正する者

事件との関係 出願人

東京都新宿区西新宿2丁目4番1号

(236) セイコーエプソン株式会社

代表取締役 中 村 恒 也

4. 代 理 人

〒104

東京都中央区京橋2丁目6番21号

株式会社 服部セイコー内 最上特許事務所

(4664) 弁理士 最 上 務 (他1名)

連絡先 563-2111 内線 631~635 担当 林

5. 補正命令の日付

昭和63年 1月26日

6. 補正の対象

明 細 書 (図面の簡単な説明)

図 面 (第4図、第5図)

7. 補正の内容

別紙の通り

式 多  
書 出

手 続 補 正 書

1. 明細書第10頁第12行目、「第4図」から最終行「である。」を以下の如く補正する。

「第4図(a)~(h)は従来例の製造工程を示したもので(a)、(c)、(e)、(g)は上視図、(b)、(d)、(f)、(h)は断面図である。第5図(a)~(h)は、本発明の実施例1の製造工程を示したもので(a)、(c)、(e)、(g)は上視図(b)、(d)、(f)は断面図である。」

2. 第4図、第5図を別紙の如く補正する。

以 上  
代理人 最 上 務他1名